

Câu 26: Hãy thiết kế hệ thống kiểm tra tính chẵn lẻ của một chuỗi bit theo mô hình Mealy

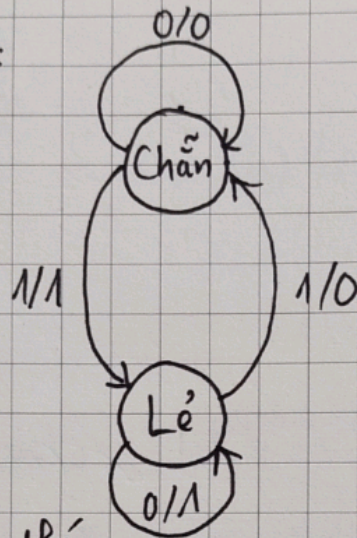
a) Vẽ sơ đồ trạng thái và bảng chuyển trạng thái

- Đầu vào: bit 0 hoặc bit 1

- Đầu ra: 0/1

- Trạng thái: Chẵn/lẻ

Sơ đồ trạng thái:



Bảng chuyển trạng thái

Hiện tại	Đầu vào	Tiếp theo	Đầu ra
Chẵn	0	Chẵn	0
Chẵn	1	Lẻ	1
Lẻ	0	Lẻ	0
Lẻ	1	Chẵn	1

b) Sử dụng FF JK và các cổng logic cơ bản để thiết kế và vẽ mạch

- Mã hoá trạng thái, đầu vào: Chẵn = 0, Lẻ = 1

⇒ Bảng chuyển trạng thái:

Hiện tại	Đầu vào	Tiếp theo	Đầu ra
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	1

- Do chỉ sử dụng 1 bit để mã hoá trạng thái ⇒ chỉ cần dùng 1 FF

- Sử dụng FF JK:

Giả thiết Q là trạng thái hiện tại

Q^+ " " " tiếp theo

X " đầu vào, Y là đầu ra

Xác định đầu vào cho FF và biểu thức của biến ra:

Q	X	Q^+	Y	J	K
0	0	0	0	0	x
0	1	1	1	1	x
1	0	1	1	x	1
1	1	0	0	x	0

- Tối thiểu hoá đầu vào cho FF và đầu ra:

J:

$\overline{Q}$	0	1
X		
0	0	x
1	1	x

$$\Rightarrow J = X + Q$$

K:

$\overline{Q}$	0	1
X		
0	x	1
1	x	0

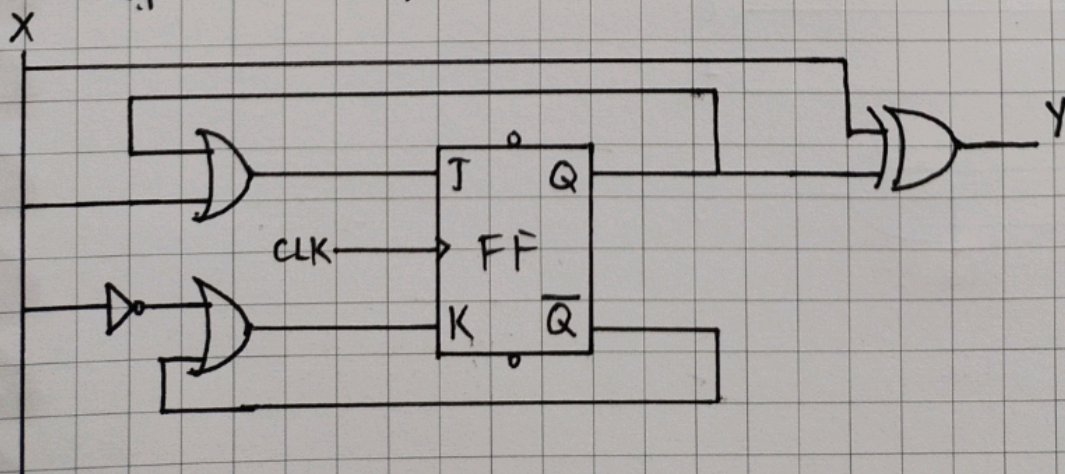
$$\Rightarrow K = \overline{X} + \overline{Q} = \overline{XQ}$$

Y:

$\overline{Q}$	0	1
X		
0	0	1
1	1	0

$$\Rightarrow Y = \overline{X}Q + X\overline{Q} = X \oplus Q$$

- Lập sơ đồ mạch:



c) Thiết kế mạch giải mã để hiển thị kết quả chẵn lẻ trên 1 LED 7 thanh (chung Cathode).

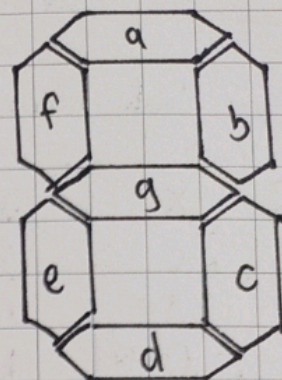
Khi kết quả là chuỗi bit chẵn ta hiển 0 ngược lại thì hiển 1

Khi hiển 0 thì các đèn: a b c d e f sáng,

g tắt

Khi hiển 1 thì các đèn: b, c sáng

a d e f g tắt



Ta có bảng mã hoá như sau:

$y \backslash \text{LED}$	a	b	c	d	e	f	g
0	1	1	1	1	1	1	0
1	0	1	1	0	0	0	0

$$\Rightarrow a = d = e = f = \overline{y}$$

$$b = c = 1 = y + \overline{y}$$

$$g = 0 = y \cdot \overline{y}$$

Thiết kế mạch:

